

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-109737

(43)公開日 平成5年(1993)4月30日

(51)Int.Cl. H 01 L 21/322 29/784	識別記号 P 8617-4M	府内整理番号 9056-4M	F I H 01 L 29/ 78	技術表示箇所 3 1 1 R
--	-------------------	-------------------	----------------------	-------------------

審査請求 未請求 請求項の数1(全4頁)

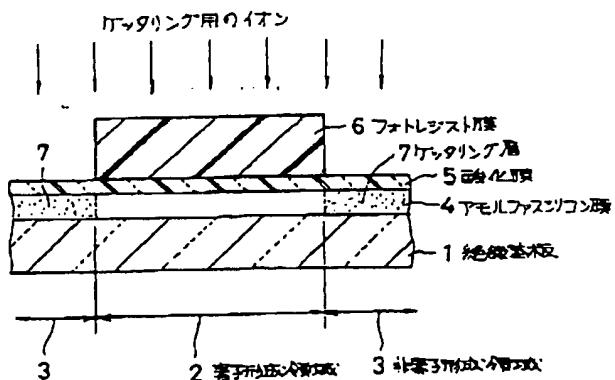
(21)出願番号 特願平3-297647	(71)出願人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号
(22)出願日 平成3年(1991)10月18日	(72)発明者 山田 裕康 東京都八王子市石川町2951番地の5 カシ オ計算機株式会社八王子研究所内
	(74)代理人 弁理士 杉村 次郎

(54)【発明の名称】 薄膜トランジスタの製造方法

(57)【要約】

【目的】 薄膜トランジスタの製造に際し、結晶欠陥や不純物等を素子活性領域から除去する。

【構成】 絶縁基板1上にアモルファスシリコン膜4を堆積し、その上に酸化膜5を形成し、その上にパターン形成したフォトレジスト膜6をマスクとしてイオンを注入することにより、非素子形成領域3に対応する部分のアモルファスシリコン膜4のみを高不純物領域化してゲッタリング層7とする。次に、フォトレジスト膜6を除去した後レーザアニールすることにより、アモルファスシリコン膜4を結晶化してポリシリコン膜とともに、素子形成領域2に対応する部分のアモルファスシリコン膜4における結晶欠陥や不純物等をその周囲の高不純物領域7に吸収させる。この後、酸化膜5を除去し、次いで素子分離により不要な部分のポリシリコン膜(ゲッタリング層7)を除去する。この状態では、絶縁基板1上の素子形成領域2のみにポリシリコン膜が形成されている。



(2)

特開平05-109737

【特許請求の範囲】

【請求項 1】 素子形成領域およびその周囲の非素子形成領域に半導体薄膜を堆積し、次いで前記非素子形成領域に対応する部分の前記半導体薄膜のみを高不純物領域化してゲッタリング層とし、次いでアニールすることにより、前記素子形成領域に対応する部分の前記半導体薄膜における結晶欠陥や不純物等をその周囲の前記ゲッタリング層に吸収させ、次いで該ゲッタリング層を除去することを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】 シリコンウェーハを用いたトランジスタ製造技術では、ゲッタリング技術を用いて、結晶欠陥や不純物等を素子活性領域から除去することにより、良好な素子特性を得るようにしている。一方、薄膜トランジスタ製造技術では、ガラス等からなる絶縁基板上にアモルファスシリコンやポリシリコン等からなる半導体薄膜を堆積した後素子分離することにより、素子形成領域に半導体薄膜をパターン形成しているので、シリコンウェーハを用いたトランジスタ製造技術で用いられているゲッタリング技術を利用することができない。

【0003】

【発明が解決しようとする課題】 このように、従来の薄膜トランジスタ製造技術では、シリコンウェーハを用いたトランジスタ製造技術で用いられているゲッタリング技術を利用することができないので、結晶欠陥や不純物等を素子活性領域から除去することができず、ひいては良好な素子特性を得ることができない場合があるという問題があった。この発明の目的は、結晶欠陥や不純物等を素子活性領域から除去することのできる薄膜トランジスタの製造方法を提供することにある。

【0004】

【課題を解決するための手段】 この発明は、素子形成領域およびその周囲の非素子形成領域に半導体薄膜を堆積し、次いで非素子形成領域に対応する部分の半導体薄膜のみを高不純物領域化してゲッタリング層とし、次いでアニールすることにより、素子形成領域に対応する部分の半導体薄膜における結晶欠陥や不純物等をその周囲のゲッタリング層に吸収させ、次いでゲッタリング層を除去するようにしたものである。

【0005】

【作用】 この発明によれば、非素子形成領域に対応する部分の半導体薄膜のみを高不純物領域化してゲッタリング層とした後アニールすることにより、素子形成領域に対応する部分の半導体薄膜における結晶欠陥や不純物等をその周囲のゲッタリング層に吸収させ、この後ゲッタリング層を除去しているので、結晶欠陥や不純物等を素

子活性領域から除去することができる。

【0006】

【実施例】 図 1～図 4 はこの発明の一実施例における薄膜トランジスタの各製造工程を示したものである。そこで、これらの図を順に参照しながら、薄膜トランジスタの製造方法について説明する。

【0007】 まず、図 1 に示すように、ガラス等からなる絶縁基板 1 の上面の素子形成領域 2 およびその周囲の非素子形成領域 3 にアモルファスシリコン膜 4 を堆積する。次に、熱酸化により、アモルファスシリコン膜 4 の上面に酸化膜 5 を形成する。次に、素子形成領域 2 に対応する部分の酸化膜 5 の上面にフォトレジスト膜 6 をパターン形成する。次に、フォトレジスト膜 6 をマスクとして、非素子形成領域 3 に対応する部分のアモルファスシリコン膜 4 にイオン注入装置によりリン、ボロン、アルゴン、酸素、炭素等のゲッタリング用のイオンを注入し、非素子形成領域 3 に対応する部分のアモルファスシリコン膜 4 のみを高不純物領域化してゲッタリング層 7 とする。この後、フォトレジスト膜 6 を除去する。

【0008】 次に、図 2 に示すように、レーザアニールすることにより、アモルファスシリコン膜 4 を結晶化してポリシリコン膜 8 とともに、素子形成領域 2 に対応する部分のアモルファスシリコン膜 4 における結晶欠陥や不純物等をその周囲のゲッタリング層 7 に吸収させる。この後、酸化膜 5 を除去し、次いで素子分離により、非素子形成領域 3 に対応する部分の不要なポリシリコン膜 8 つまりゲッタリング層 7 を除去する。したがって、この状態では、絶縁基板 1 の上面の素子形成領域 2 のみにポリシリコン膜 8 が形成されている。

【0009】 次に、図 3 に示すように、全表面に酸化シリコンや空化シリコン等からなるゲート絶縁膜 9 を形成する。次に、ポリシリコン膜 8 のチャネル領域 10 に対応する部分のゲート絶縁膜 9 の上面にアルミニウムからなるゲート電極 11 をパターン形成する。次に、ゲート電極 11 をマスクとしてイオン注入装置によりリンやボロン等のソース・ドレイン形成用のイオンを注入し、ゲート電極 11 の両側におけるポリシリコン膜 8 にソース・ドレイン領域 12 を形成する。

【0010】 次に、図 4 に示すように、全表面に酸化シリコンや空化シリコン等からなる層間絶縁膜 13 を形成する。次に、ソース・ドレイン領域 12 に対応する部分の層間絶縁膜 13 およびゲート絶縁膜 9 にコンタクトホール 14 を形成する。次に、コンタクトホール 14 を介してソース・ドレイン領域 12 と接続されるアルミニウムからなるソース・ドレイン電極 15 を層間絶縁膜 13 の上面にパターン形成する。かくして、薄膜トランジスタが製造される。

【0011】 このようにして製造された薄膜トランジスタでは、非素子形成領域 3 に対応する部分のアモルファスシリコン膜 4 のみを高不純物領域化してゲッタリング

(3)

特開平05-109737

層7とした後アニールすることにより、素子形成領域2に対応する部分のアモルファスシリコン膜4における結晶欠陥や不純物等をその周囲のゲッタリング層7に吸収させ、この後ゲッタリング層7を除去しているので、結晶欠陥や不純物等を素子活性領域から除去することができ、ひいては良好な素子特性を得ることができる。また、1回のアニール工程により、アモルファスシリコン膜4を結晶化してポリシリコン膜8とすると同時に、素子形成領域2に対応する部分のアモルファスシリコン膜4における結晶欠陥や不純物等をその周囲のゲッタリング層7に吸収させることができ、また素子分離により、非素子形成領域4に対応する部分の不要なポリシリコン膜8つまりゲッタリング層7を除去しているので、工程数がなるべく増加しないようにすることができる。さらに、ゲッタリング用のイオンとしてソース・ドレイン形成用のイオンと同じイオンを用いることにして、ゲッタリング用のイオンの注入をソース・ドレイン形成用のイオン注入装置によって行うこともできる。

【0012】なお、上記実施例では、絶縁基板1の上面に堆積したアモルファスシリコン膜4を結晶化してポリシリコン膜8としているが、これに限らず、絶縁基板の上面にポリシリコン膜を直接堆積するようにしてもよい。また、イオン注入装置の代わりに、熱拡散法を用いてもよく、またレーザアニールの代わりに、高温熱処理を施してもよい。さらに、コプラナ型の薄膜トランジスタに限らず、スタガ型の薄膜トランジスタにも適用することができる。

【0013】

【発明の効果】以上説明したように、この発明によれば、非素子形成領域に対応する部分の半導体薄膜のみを高不純物領域化してゲッタリング層とした後アニールすることにより、素子形成領域に対応する部分の半導体薄膜における結晶欠陥や不純物等をその周囲のゲッタリング層に吸収させ、この後ゲッタリング層を除去している

ので、結晶欠陥や不純物等を素子活性領域から除去することができ、ひいては良好な素子特性を得ることができる。

【図面の簡単な説明】

【図1】この発明の一実施例における薄膜トランジスタの製造に際し、絶縁基板の上面にアモルファスシリコン膜および酸化膜を形成し、さらにその上面にパターン形成したフォトレジスト膜をマスクとしてゲッタリング用のイオンを注入してゲッタリング層を形成した状態の断面図。

【図2】同薄膜トランジスタの製造に際し、フォトレジスト膜を除去した後レーザアニールすることにより、アモルファスシリコン膜を結晶化してポリシリコン膜とすると共に素子形成領域に対応する部分のアモルファスシリコン膜における結晶欠陥や不純物等をその周囲のゲッタリング層に吸収させた状態の断面図。

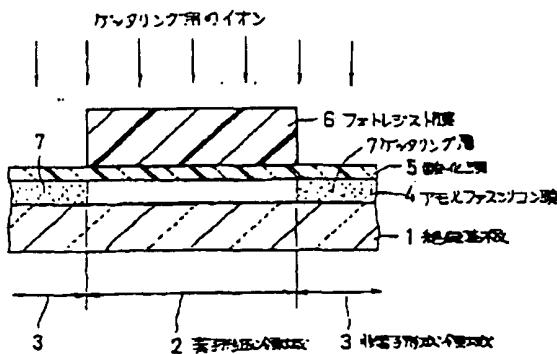
【図3】同薄膜トランジスタの製造に際し、酸化膜および不要なポリシリコン膜（ゲッタリング層）を除去した後ゲート絶縁膜およびゲート電極を形成し、さらにゲート電極をマスクとしてソース・ドレイン形成用のイオンを注入してソース・ドレイン領域を形成した状態の断面図。

【図4】同薄膜トランジスタの製造に際し、層間絶縁膜、コンタクトホールおよびソース・ドレイン電極を形成した状態の断面図。

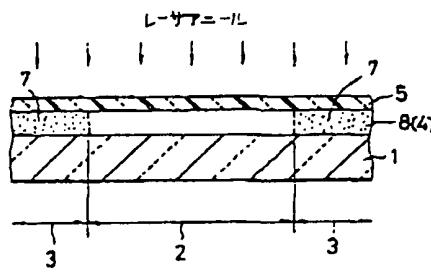
【符号の説明】

- 1 絶縁基板
- 2 素子形成領域
- 3 非素子形成領域
- 4 アモルファスシリコン膜
- 5 酸化膜
- 7 ゲッタリング層
- 8 ポリシリコン膜

【図1】



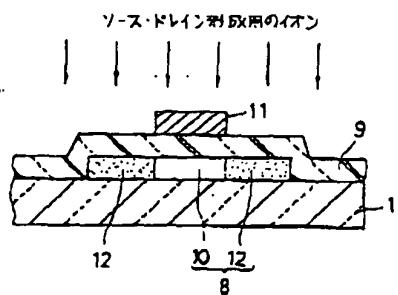
【図2】



(4)

特開平05-109737

【図3】



【図4】

